

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number **62012119 A**(43) Date of publication of application: **21.01.87**

(51) Int. Cl.

H01L 21/203
H01L 21/26
H01L 29/80(21) Application number: **60151705**(22) Date of filing: **09.07.85**(71) Applicant: **SHARP CORP**(72) Inventor
KINOSADA TOSHIAKI
YAMASHITA TATSUYA
TOMITA KOJI**(54) MOLECULAR BEAM EPITAXIAL GROWTH METHOD**

(57) Abstract:

PURPOSE: To make the growth of the GaAs epitaxial film of low displacement density and of high quality possible, by growing the superlattice $\text{Al}_x\text{Ga}_{1-x}\text{As}$ /GaAs as the buffer layer and growing GaAs after that.

CONSTITUTION: In the process of the thermal cleaning of substrate surface, the evaporation from the In substrate is compensated by irradiating the In molecular beam, for example, of about 10^{-10} W 10^{-9} Torr as well as the As molecular beam. Prior to the GaAs growth, the superlattice $\text{Al}_x\text{Ga}_{1-x}\text{As}$ /GaAs as the buffer layer is

grown by SW10 periods at each of 100W500 \AA ; for example, and then the GaAs is grown. In this manner, the clean surface and the superior surface morphology required for the high quality epitaxy are obtained. Moreover, the distortion caused by the lattice mismatching between the In-doped GaAs substrate and the GaAs grown thereon can be resolved by inserting the superlattice buffer layer $\text{Al}_x\text{Ga}_{1-x}\text{As}$, and the diffusion of In from the substrate can also be prevented. The value of (x) is necessary to be set in the manner where the lattice constants of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ are equal to those of the In-doped substrate.

COPYRIGHT: (C)1987 JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑬ 公開特許公報(A)

昭62-12119

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)1月21日

H 01 L 21/203
21/26
29/80

7739-5F

8122-5F 審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 分子線エビタキシャル成長方法

⑮ 特 願 昭60-151705

⑯ 出 願 昭60(1985)7月9日

⑰ 発 明 者	紀 之 定 俊 明	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	山 下 達 哉	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑲ 発 明 者	富 田 孝 司	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑳ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
㉑ 代 理 人	弁理士 杉山 毅 至	外1名	

明 細 書

1. 発明の名称

分子線エビタキシャル成長方法

2. 特許請求の範囲

1. In ドープ GaAs 基板上への GaAs の分子線エビタキシャル成長において、

成長前の基板表面熱清浄化過程で As 分子線及び In 分子線を上記基板に照射し、

次に GaAs の成長に先立ちバッファ層として超格子 $A\alpha_xGa_{1-x}As/GaAs$ を成長させ、

次に GaAs を成長させて、

In ドープ GaAs 基板上への GaAs 成長を行なうことを特徴とする分子線エビタキシャル成長方法。

2. 前記超格子バッファ層 $A\alpha_xGa_{1-x}As/GaAs$ の x の値は $A\alpha_xGa_{1-x}As$ の格子定数が In ドープ GaAs 基板の格子定数に等しくなるような値としたことを特徴とする特許請求の範囲第1項記載の分子線エビタキシャル成長方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は In ドープ GaAs 基板上に GaAs を分子線エビタキシャル成長させる分子線エビタキシャル成長方法に関するものである。

<従来の技術>

分子線エビタキシャル(以下MBEと称す)成長で GaAs 基板上へ GaAs を成長させる場合は従来次のように行なわれている。即ち GaAs 基板を化学処理後成長チャンバー内に搬送する。次に高真空下で As 分子線のみを基板に照射した状態で基板を 600~650℃ に加熱することによって基板表面の自然酸化膜や炭素などの付着物を除去し基板表面の清浄化を行なう(基板表面熱清浄化過程)。その後 Ga 及び As 分子線を 500~700℃ に保たれた基板に照射することにより GaAs の成長を行なう。

ところで従来法で成長に用いられる基板は主にアンドープ GaAs 基板あるいは蒸気圧の低い Cr を添加した Cr ドープ GaAs 基板であった。しか

特開昭62-12119(2)

しInドーブGaAs基板が最近低転位密度あるいは無転位結晶が得られるということで注目されており、これをエピタキシャル成長基板として用いるならば低転位密度の良質なエピタキシャル膜が成長できると考えられる。

<発明が解決しようとする問題点>

しかし、従来法によって、InドーブGaAs基板上へGaAsを成長させた場合、次のような問題が生ずる。

- ① 基板温度が500℃以上では基板からAsのみならずInも選択的に蒸発するため、基板表面熱清浄化過程においてAs分子線のみを基板上に照射する従来法では、Inが基板から蒸発するため成長界面の表面モルフェロジを悪くし、その上に成長されるGaAs膜の膜質を悪くする。
- ② InドーブGaAsは実際には混晶 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0.002 < x < 0.006$) であるためアンドープやSi、Snドーブ(n型)あるいはBe、Mgドーブ(p型)GaAsに比べ格子定数が約0.02%大きい。従ってInドーブGaAs基板にアンド

せ、その後GaAsを成長させる。

<作 用>

上記①の構成により、高品質エピタキシャルに要求される清浄表面及び良好な表面モルフェロジが得られる。更に上記②の構成により、InドーブGaAs基板とその上に成長されるGaAsの格子不整合により生ずる歪を超格子バッファ層 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ /GaAsをはさむことで解消することができる。尚ここでxの値は $\text{Al}_x\text{Ga}_{1-x}\text{As}$ の格子定数がInドーブ基板のそれに等しくなるような値にする必要がある。

<実施例>

以下本発明を実施例に基づき、図を参照して詳細に説明する。

第1図は、本発明にしたがって作製された半導体装置の構造を示す断面図である。

同図において、1はInドーブ半絶縁性GaAs基板、2は $\text{Al}_x\text{Ga}_{1-x}\text{As}$ /GaAsよりなる超格子バッファ層、3はSiドーブGaAs層であり、

ープGaAs等を成長した場合、格子不整合のためその界面に内部応力が生じ、それにより成長層に転位が発生したりするので良質なエピタキシャル膜が得られない。

本発明は、上記の点にかんがみて創案されたものであり、Inドーブ基板上への高品質のGaAsエピタキシャル膜の形成を可能にする分子線エピタキシャル成長方法を提供することを目的としている。

<問題点を解決するための手段>

上記目的を達成するため本発明のInドーブGaAs基板へのGaAs成長を行なう分子線エピタキシャル成長方法は次のように構成している。

- ① 基板表面熱清浄化過程ではAs分子線のみならず、例えば $10^{-10} \sim 10^{-7}$ torr程度のIn分子線も基板に照射し、Inの基板からの蒸発分をおぎなう。
- ② 成長はGaAs成長に先立ち、まずバッファ層として超格子 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ /GaAsを例えば各100~500Åで5~10周期程度成長さ

上記超格子バッファ層2は100Å厚の $\text{Al}_{0.09}\text{Ga}_{0.91}\text{As}$ (x=0.09) 層4及び100Å厚のGaAs層5の10周期構造で構成されており、 $\text{Al}_{0.09}\text{Ga}_{0.91}\text{As}$ 層4の格子定数がInドーブGaAs基板1の格子定数と同じになるようxの値を0.09となしている。

次に、第1図に示した構造の半導体装置の本発明の一実施例としての作製方法を説明する。

用いた基板1は市販の転位密度 3000 cm^{-2} 以下、比抵抗 $10^7 \Omega \text{ cm}$ 程度のInドーブ半絶縁性(100)基板(厚さ400 μm)の2θウエハで、In濃度は約 $1 \times 10^{20} \text{ cm}^{-3}$ ($\text{In}_{0.004}\text{Ga}_{0.996}\text{As}$ 相当)である。成長はInフリー・サセプタを用いて直接基板加熱法で行なった。表面清浄化は基板温度620℃でAs分子線 2×10^{-5} torr、In分子線 1×10^{-9} torrを基板1に照射して行なった。約30分後、成長チャンパー備えつけのRHEED(反射高速電子回折)装置により表面清浄化を確認した後、第1図に示した各層の成長を行なった。

成長条件は基板温度580℃、成長レート0.7 μm

／hで行なった。まず第1図に示す超格子バッファ層 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ 層2を各 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層4及び GaAs 層5の厚さ100Åで10周期成長させた。Ga, As, Alの各分子線強度はそれぞれ $32 \times 10^{-7} \text{ torr}$, $1 \times 10^{-5} \text{ torr}$, $5 \times 10^{-9} \text{ torr}$ で $\text{Al}_x\text{Ga}_{1-x}\text{As}$ の混晶比 x が0.09になるように設定した。そしてこの $\text{Al}_{0.09}\text{Ga}_{0.91}\text{As}$ の格子定数はInドーブ GaAs 基板1の^(格子定数)と等しい。この後Siドーブn型 GaAs エピタキシャル膜3(キャリア濃度 $1 \times 10^{15} \text{ cm}^{-3}$) を1 μm 成長させた。

上記のようにして作製された GaAs エピタキシャル膜3は低転位密度の基板を反映して転位密度 800 cm^{-2} 程度のものが得られた。またキャリア濃度 $1 \times 10^{15} \text{ cm}^{-3}$ で移動度も $8500 \text{ cm}^2/\text{V}\cdot\text{sec}$ と良好な値を得た。

<発明の効果>

以上のように、本発明により、Inドーブ GaAs 基板の有する低転位密度という特性を受け継いだ低転位密度の高品質 GaAs エピタキシャル膜の成

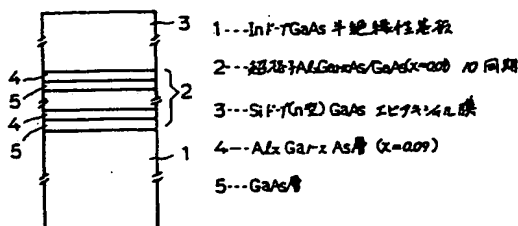
長が可能となり、この結果、これを用いることで高信頼性の GaAs FETやIC等の製造が可能となる。

4. 図面の簡単な説明

第1図は本発明にしたがって作製された半導体装置の構造を示す断面図である。

- 1... Inドーブ半絶縁性 GaAs 基板、
- 2... 超格子バッファ層 ($\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$)、
- 3... Siドーブ GaAs 逆ピタキシャル膜、
- 4... $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層、
- 5... GaAs 層。

代理人 弁理士 福 士 愛 彦(他2名)



第1図

平成 1. 4. 11 発行

特許法第17条の2の規定による補正の掲載

手 続 補 正 書

昭和 60 年特許願第 151705 号(特開 昭 62- 12119 号, 昭和 62 年 1 月 21 日 発行 公開特許公報 62- 122 号掲載)につ いては特許法第17条の2の規定による補正があっ たので下記のとおり掲載する。 7 (2)

昭和 63 年 12 月 23 日 通

特許庁長官殿

(特許庁

殿)

1. 事件の表示

特願昭 60-151705

2. 発明の名称

分子線エピタキシャル成長方法

3. 補正をする者

事件との関係 特許出願人

住 所 545 大阪市阿倍野区長池町22番22号

名 称 (504) シャープ株式会社

代表者 辻 晴 雄

4. 代 理 人

住 所 545 大阪市阿倍野区長池町22番22号

シャープ株式会社内

氏 名 (7223) 弁理士 杉 山 毅

通 信 先 電話 (03) 280-1161 東京支社特許管理センター

5. 補正命令の日付(拒絶理由通知発送の日付)

自 発

6. 補正の対象

1) 明細書中、発明の詳細な説明の欄

2) 明細書中、図面の簡単な説明の欄

3) 図 面

63.12.26
正誤表
A社

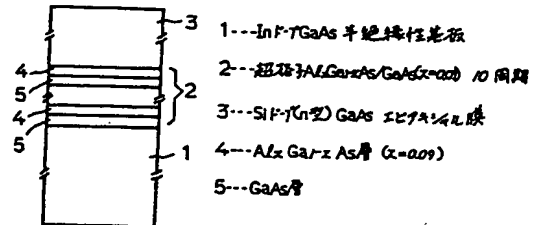
Int. Cl. 4	識別記号	庁内整理番号
H01L 21/203		7630-57
21/26		
29/80		8122-57

7. 補正の内容

1) 明細書の所定個処を下表の通り補正する。

頁	補正個処		誤	正
	頁	行		
1	5	17	装置の構造	薄膜の構造
2	6	7	半導体装置	半導体薄膜
3	8	6	装置の構造	薄膜の構造

2) 図面の第1図を別紙の通り補正する。



第1図

以 上

-1-
(57)